

**— William Stallings
Computer Organization
and Architecture
8th Edition**

**Chapter 5
Memória Interna**

Tipos de Memória Semicondutora

Tipo de Memória	Categoria	Apagar	Mecanismo de Escrita	Volatilidade
Random-access memory (RAM)	Memória de Leitura/Escrita	Eletricamente - Nível de byte	Eletricamente	Volátil
Read-only memory (ROM)	Memória somente para leitura	Não é possível	Máscara	Não volátil
Programmable ROM (PROM)				
Erasable PROM (EPROM)	Memória preferenciamente para leitura	Luz UV – Nível de chip	Eletricamente	
Electrically Erasable PROM (EEPROM)		Eletricamente – Nível de byte		
Flash memory		Eletricamente – Nível de bloco		

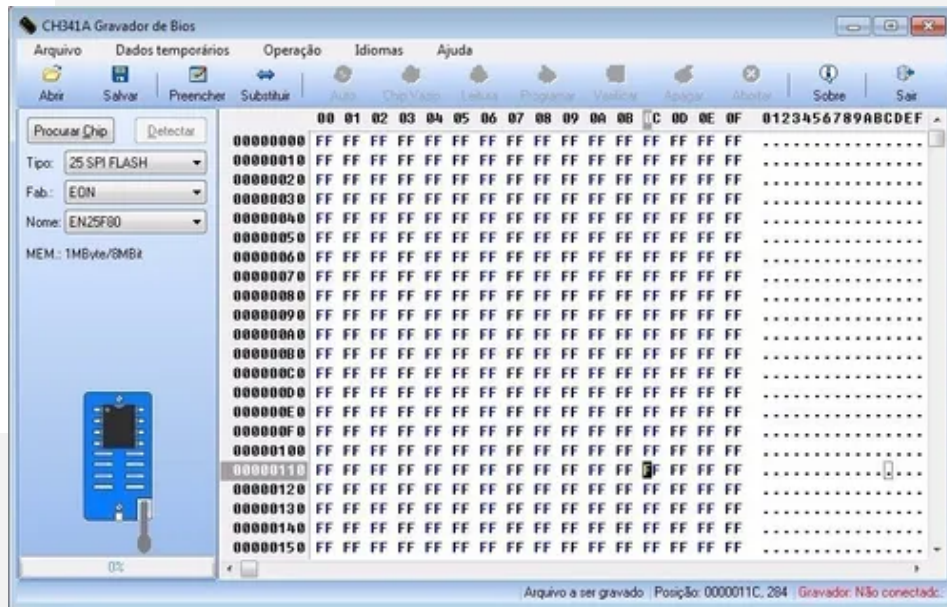
Read Only Memory (ROM)

- Armazenamento permanente
 - Não volátil
- Microprogramação
- Bibliotecas
- Programas de Sistemas (BIOS)

Tipos de ROM

- Escrita em produção
 - Muito cara para pequenas aplicações
- Programável (Uma vez)
 - PROM
 - Precisa de equipamento específico para programar
- Leitura “principalmente”
 - Apagável e programável (EPROM)
 - Apagável por UV
 - Apagável eletricamente (EEPROM)
 - Leva mais tempo para escrever do que para ler
 - Memória Flash
 - Apaga toda a memória eletricamente

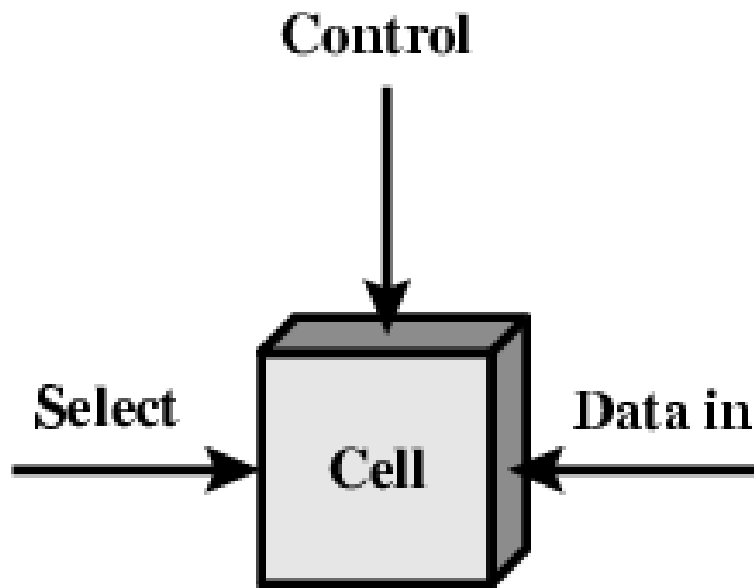
Tipos de ROM



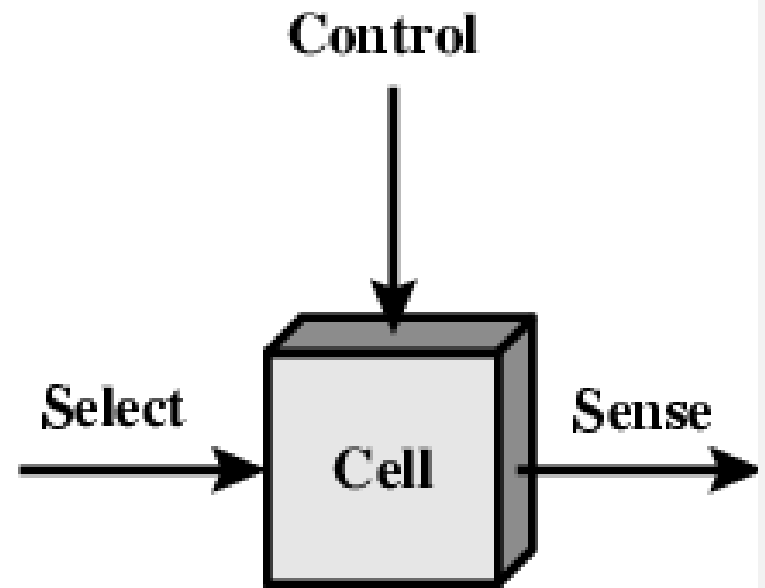
Memória Semicondutora

- RAM
 - Memória semicondutora de acesso aleatório
 - Leitura/Escrita
 - Volátil
 - Armazenamento Temporário
 - Estática (Static) ou Dinâmica (Dynamic)

Operação na célula de memória



(a) Write



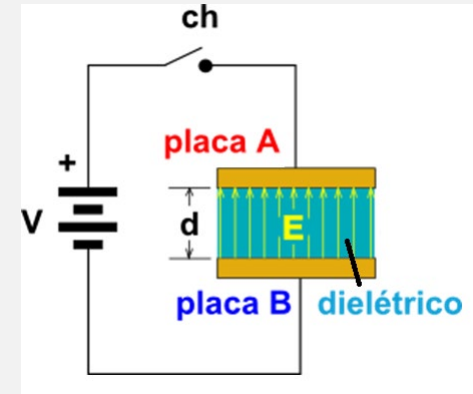
(b) Read

Dynamic RAM – RAM Dinâmica

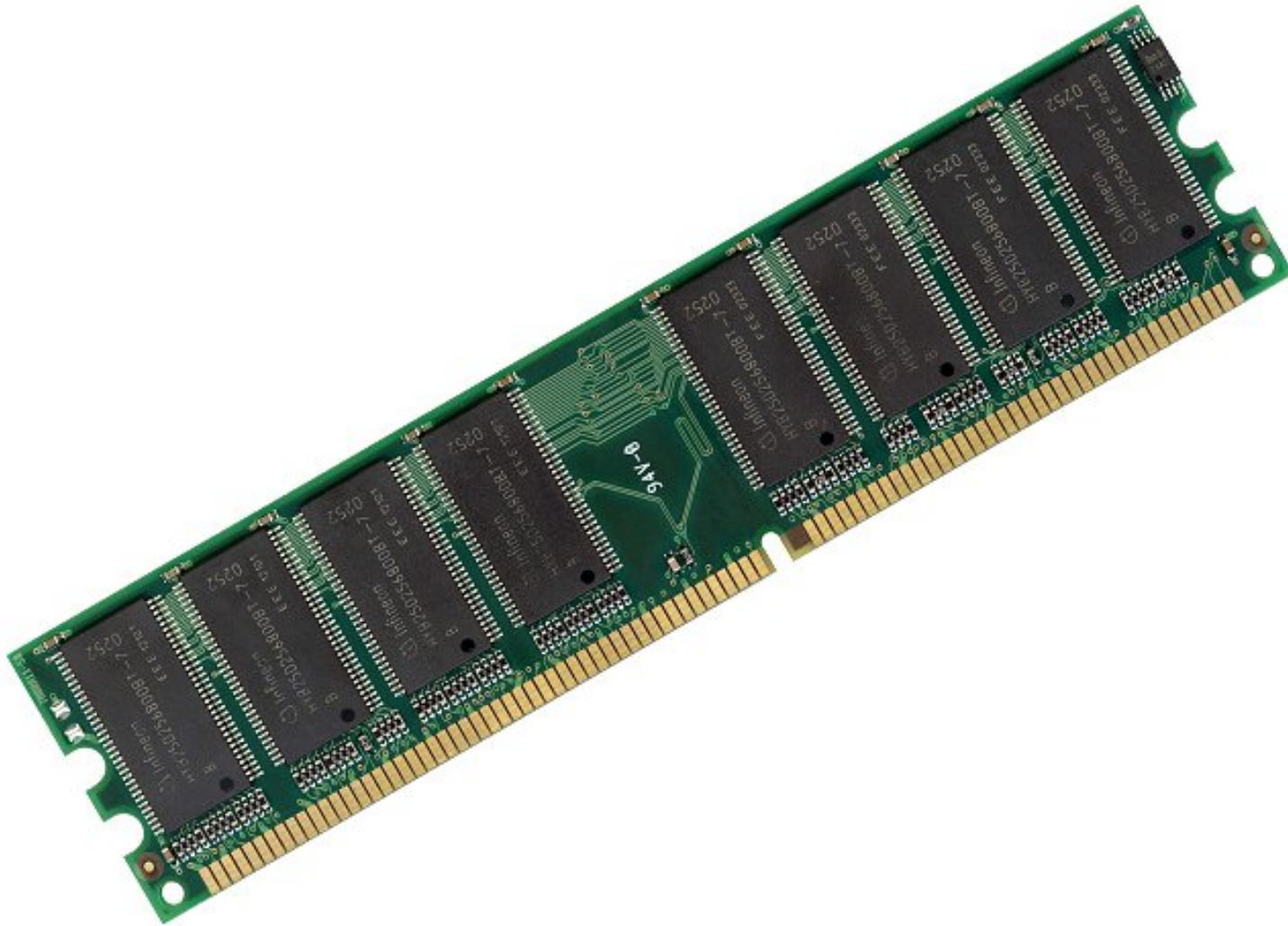
- Bits armazenados como cargas em capacitores
- Fuga de carga
- Necessita recarga mesmo quando alimentado eletricamente
- Construção simples
- Pequeno por bit
- Menos caro
- Necessita de circuito de realimentação
- Lento
- Memória Principal
- Analógica
 - Nível de carga no capacitor determina o valor

Dynamic RAM – Capacitores

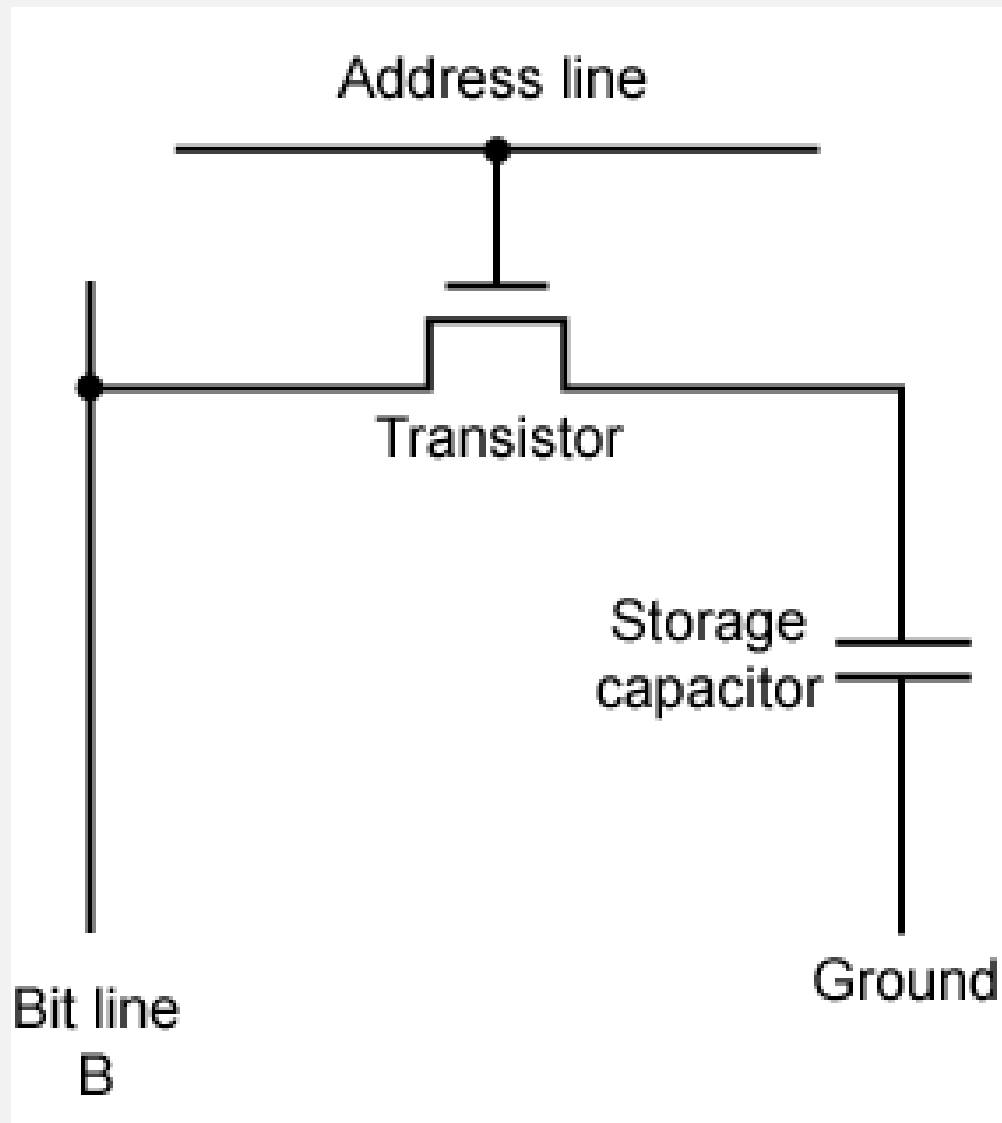
- O Capacitor é basicamente um componente que armazena carga elétrica quando conectado à uma fonte de tensão (ou de corrente). O capacitor é constituído por duas placas paralelas, muito próximas uma da outra e separadas por um dielétrico. As duas principais características do Capacitor são sua capacitância e sua tensão de trabalho. Ao acumular carga elétrica, o Capacitor armazena energia no Campo Elétrico que se forma em seu interior.
- A figura representa um capacitor composto pela placa A, placa B e um dielétrico (que pode ser o ar, por exemplo). Este capacitor não está conectado à fonte V porque a chave ch está aberta. Assim vamos supor inicialmente que a tensão da placa A está exatamente igual à tensão da placa B. Ou seja, a ddp de A para B é 0V. Se não tem diferença de potencial, o campo E, entre as placas é nulo.
- Ao fechar a chave ch, aplicamos o potencial do polo positivo da fonte à placa A. Assim vai aparecer uma ddp V_{AB} entre as placas A e B, igual à tensão V da fonte. Então o Campo Elétrico E deixa de ser nulo.
- Quando este Campo Elétrico aparece, ele passa a aplicar uma força elétrica sobre os elétrons mais próximos à superfície interna das placas A e B, afastando os elétrons na superfície da placa A e aproximando os elétrons na superfície da placa B. O que acontece na prática é um desequilíbrio de cargas na placa A e na placa B. Vai aparecer uma carga total positiva Q na placa A e uma carga total -Q na placa B (as cargas tem o mesmo valor mas sinais opostos).
- De forma simplificada, o capacitor se opõe à variação de tensão. Se o capacitor estiver carregado e a tensão entre os seus terminais estiver constante e diferente de zero, ele vai se comportar como um fio partido, apenas.
- Entretanto, caso a tensão entre os seus terminais desapareça, ele vai se opor a essa variação, e vai gastar a energia que acumulou mantendo a tensão em seus terminais, até que ele descarregue.
- Por isso, ele é bastante utilizado em fontes e estabilizadores de tensão, pois ele tem a capacidade de manter uma energia acumulada e, quando a tensão sobre uma variação, ele consegue manter a tensão estável por um tempo.



Dynamic RAM (DRAM)



Estrutura DRAM



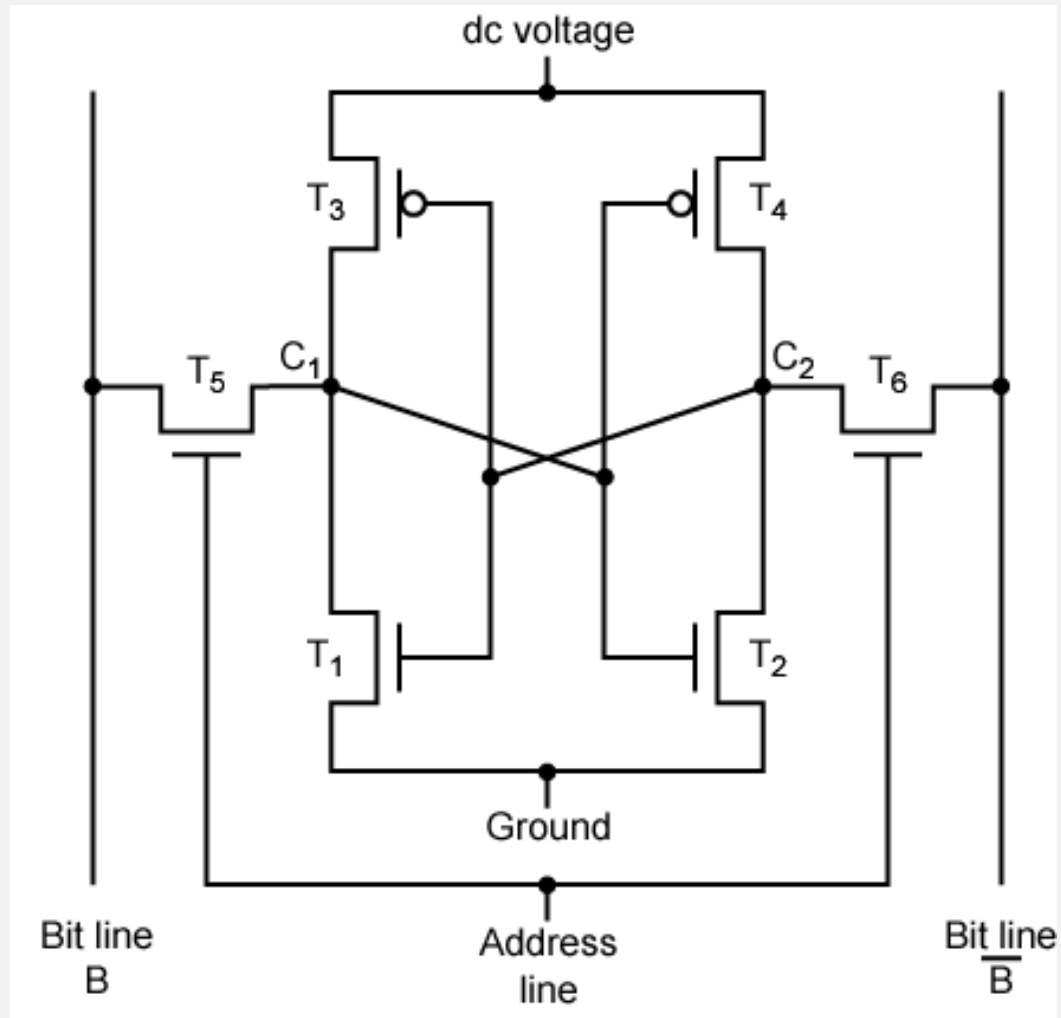
Operação DRAM

- Linhas de endereços ativa quando o bit é lido ou escrito
- Escrita
 - Alimentação na linha
 - Sinal alto para 1 – baixo para 0
 - Então a linha de endereço
 - Transfere a carga para o capacitor
- Leitura
 - Linha de endereço selecionada
 - Carga do capacitor verificada
 - Se carregado 1 – Se descarregado 0
 - Carga no capacitor deve ser restaurada

Static RAM – RAM Estática

- Bits armazenados como ligado/desligado
- Sem carga para vaziar
- Não precisa de realimentação quando ligado
- Construção mais complexa
- Maior por bit
- Mais caro
- Não precisa de circuitos de realimentação
- Mais rápido
- Cache
- Digital
 - Usa flip-flops

Estrutura SRAM



SRAM versus DRAM

- Ambas voláteis
 - Precisam ter alimentação elétrica para manter os dados
- Célula Dinâmica
 - Construção simples, menor
 - Mais densa
 - Menos cara
 - Precisa de realimentação
 - Módulos de memória com maior capacidade
- Estática
 - Mais rápida
 - Cache

Organização em detalhes

- Um chip de 16Mbit pode ser organizado como 1M de 16 bit words
- Um chip de 16Mbit chip pode ser organizado como uma matriz 2048 x 2048 x 4bit

Memória Interpolada

- Coleção de chips de DRAM
- Agrupados em bancos de memórias
- K bancos podem atender k requisições simultaneamente

Memória Interpolada



Correção de Erro

- Falha grave
 - Defeito permanente
- Falha leve
 - Aleatória, Não destrutiva
 - Sem danos permanentes à memória
- Detectado usando Código de Hamming de correção de erros

DRAM Síncrona (SDRAM)

- Acesso é sincronizado com clock externo
- Enderço é apresentado para RAM
- RAM busca o dado
- SDRAM move o dado de acordo com o clock do sistema, CPU sabe quando o dado estará pronto
- CPU não precisa esperar, pode realizar outras perações
- DDR-SDRAM envia dados múltiplas por ciclo de clock (quanatidade depende da versão)

SDRAM Temporizador de Leitura

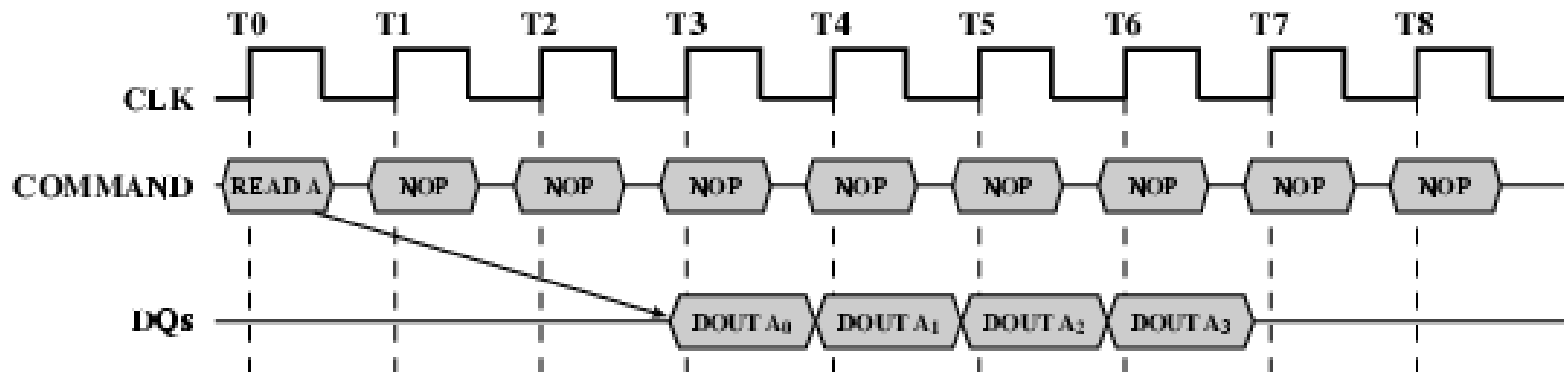
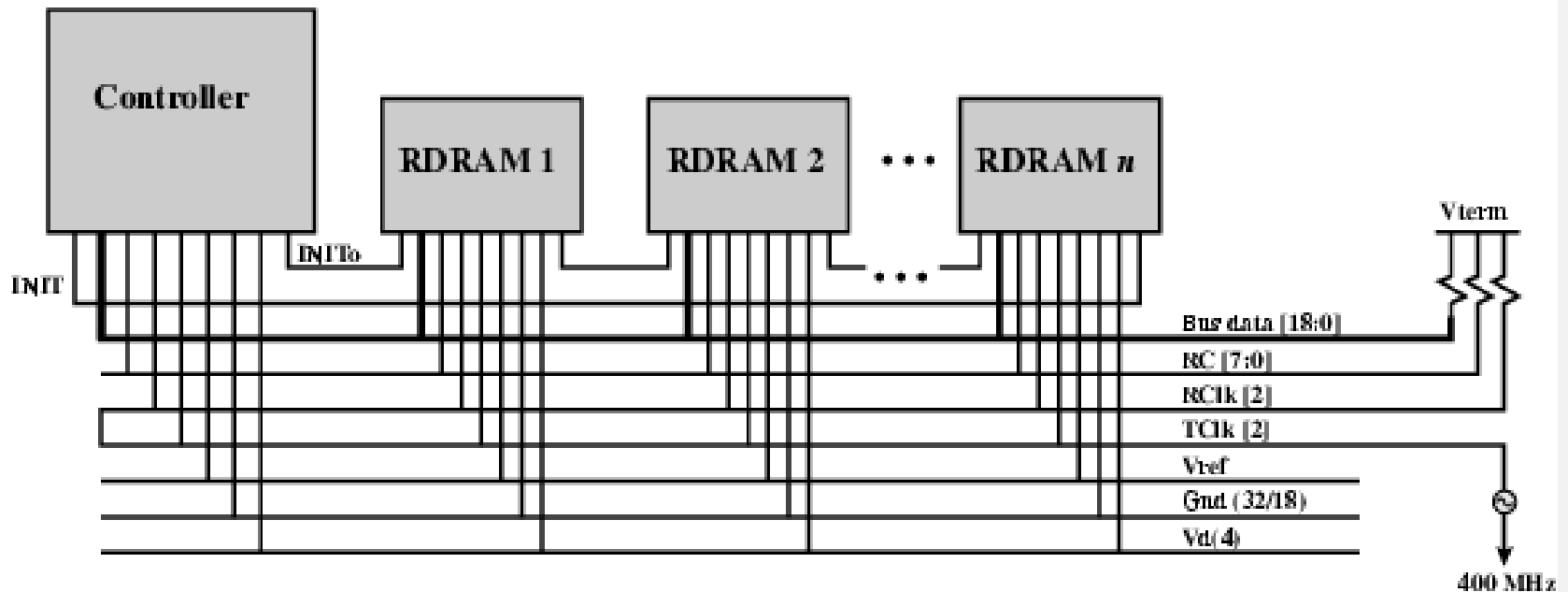


Figure 5.13 SDRAM Read Timing (Burst Length = 4, CAS latency = 2)

RAMBUS

- Adotado por Intel for Pentium & Itanium
- Principal rival da SDRAM
- Barramento a 1.6Gbps
- Assíncrono
 - Tempo de acesso de 480ns
 - Logo, 1.6 Gbps

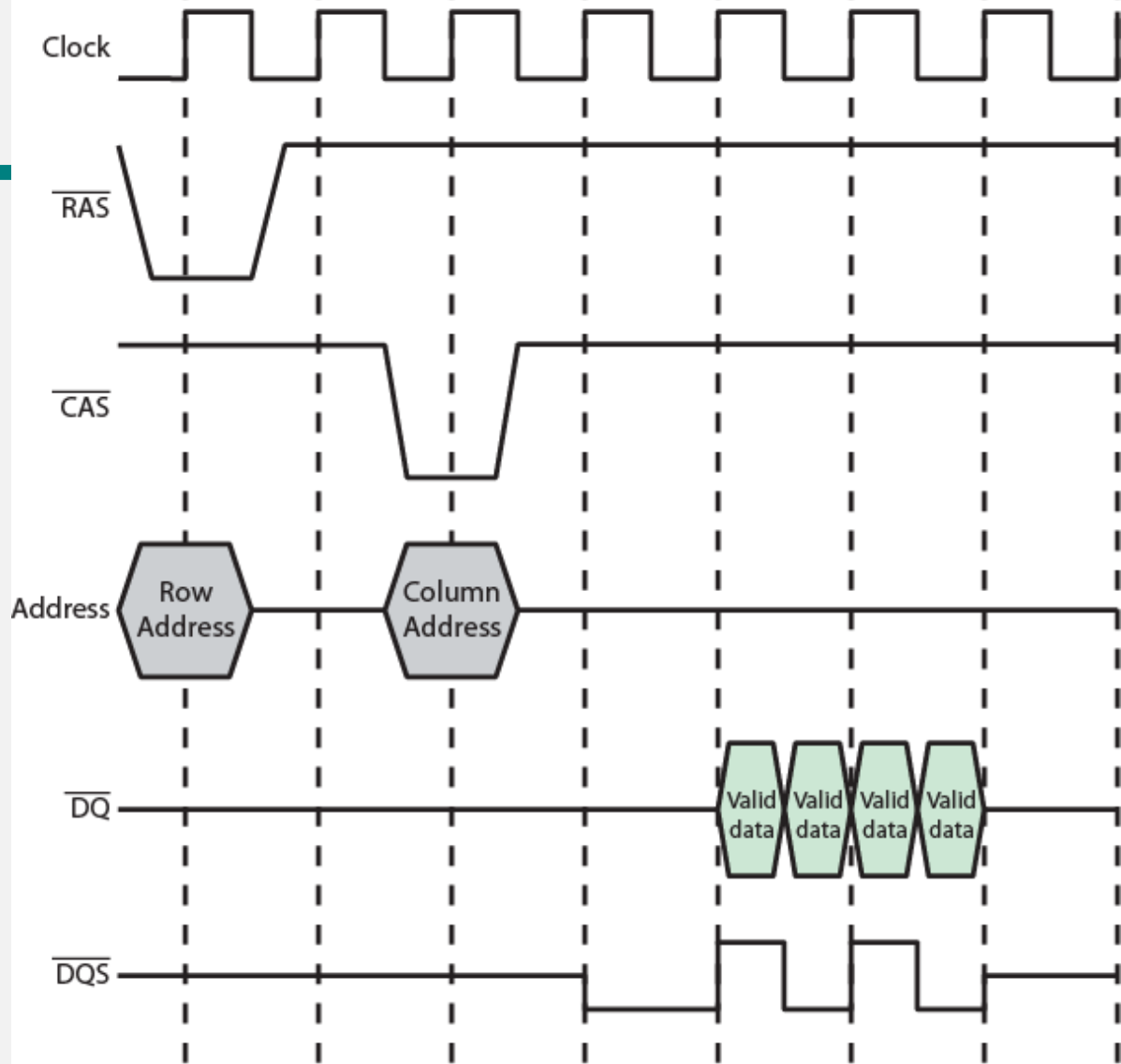
Diagrama RAMBUS



DDR SDRAM

- SDRAM somente envia um dado por ciclo de clock
- Double-data-rate (DDR) SDRAM pode enviar dois (2^1) dados por ciclo de clock
 - DDR1 – 2^1 dados por ciclo de clock
 - DDR2 – 2^2 dados por ciclo de clock
 - DDR3 – 2^3 dados por ciclo de clock
 - DDR4 – 2^4 dados por ciclo de clock
 - DDR5 – 2^5 dados por ciclo de clock

DDR SDRAM Temporizador



RAS = row address select
CAS = column address select
DQ = data (in or out)
DQS = DQ select